

Testverfahren für einen Datenspeicher

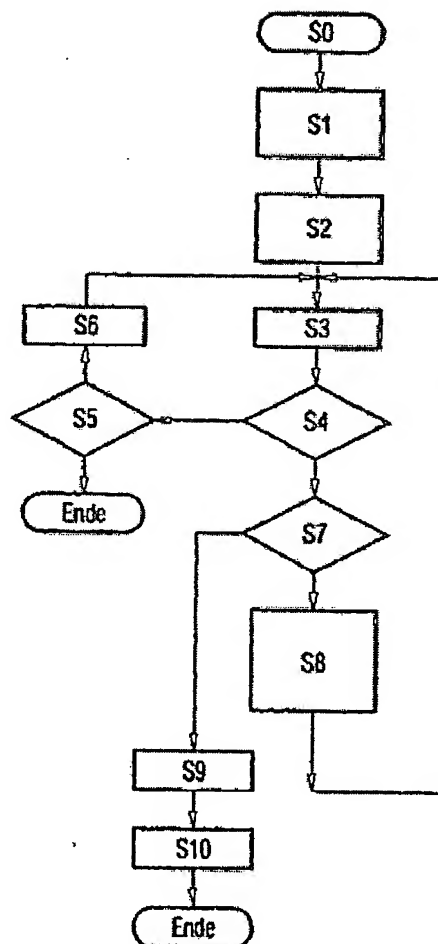
Patent number: DE10002127
Publication date: 2001-08-02
Inventor: PAUL STEFFEN (DE); SCHOEBER VOLKER (DE)
Applicant: INFINEON TECHNOLOGIES AG (DE)
Classification:
- **International:** G11C29/00
- **European:** G11C29/00B2B8
Application number: DE20001002127 20000119
Priority number(s): DE20001002127 20000119

Also published as:

WO0154134 (A3)
WO0154134 (A2)

Abstract of DE10002127

The invention relates to a test method for testing a data memory which comprises a main data memory (2) with a plurality of data memory units. According to the inventive method, the following steps are carried out for all data memory units: (a) addressing a data memory unit by applying the address of the data memory unit to a data bus linked with the main data memory (2); (b) applying the input test data for testing the addressed data memory unit to a data bus linked with the main data memory (2); (c) reading out the read-out test data from the addressed data memory unit; (d) comparing the output test data with the expected scheduled output test data; (e) writing the applied address into an address memory unit of an address memory (5) and the expected scheduled output test data into a pertaining redundancy data memory unit of a redundancy data memory (6) if the output test data and the expected scheduled output test data do not correspond.



Data supplied from the **esp@cenet** database - Worldwide

①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

⑫ Offenlegungsschrift
⑩ DE 100 02 127 A 1

⑤ Int. Cl.⁷:
G 11 C 29/00

⑳ Aktenzeichen: 100 02 127.1
㉔ Anmeldetag: 19. 1. 2000
㉕ Offenlegungstag: 2. 8. 2001

DE 100 02 127 A 1

㉑ Anmelder:
Infineon Technologies AG, 81669 München, DE

㉒ Vertreter:
PAe Reinhard, Skuhra, Weise & Partner, 80801
München

㉓ Erfinder:
Paul, Steffen, Dr., 81476 München, DE; Schöber,
Volker, 81543 München, DE

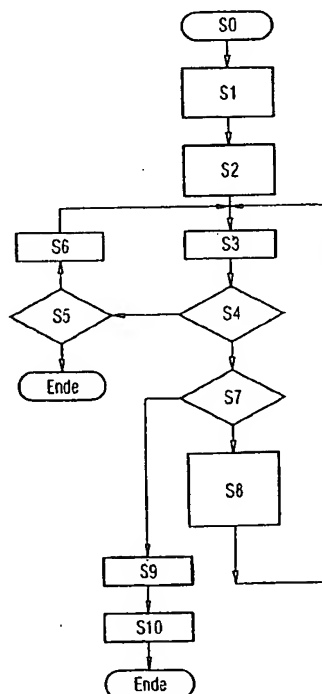
㉔ Entgegenhaltungen:
DE 39 24 695 A1
IEEE Journal of Solid-State Circuits, Vol. 27,
No. 11, Nov. 1992;

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

㉕ Testverfahren für einen Datenspeicher

㉖ Testverfahren zum Testen eines Datenspeichers, der einen Hauptdatenspeicher (2) mit einer Vielzahl von Datenspeichereinheiten aufweist, bei dem die folgenden Schritte für alle Datenspeichereinheiten durchgeführt werden:
(a) Adressieren einer Datenspeichereinheit durch Anlegen der Adresse der Datenspeichereinheit an einen mit dem Hauptdatenspeicher (2) verbundenen Adreßbus;
(b) Anlegen von Eingabetestdaten zum Testen der adressierten Datenspeichereinheit an einen mit dem Hauptdatenspeicher (2) verbundenen Datenbus;
(c) Auslesen von Ausgabetestdaten aus der adressierten Datenspeichereinheit;
(d) Vergleichen der Ausgabetestdaten mit erwarteten Soll-Ausgabetestdaten;
(e) Einschreiben der angelegten Adresse in eine Adressenspeichereinheit eines Adressenspeichers (5) und der erwarteten Soll-Ausgabetestdaten in eine zugeordnete Redundanz-Datenspeichereinheit eines Redundanz-Datenspeichers (6), wenn die Ausgabetestdaten und die erwarteten Soll-Ausgabetestdaten nicht übereinstimmen.



DE 100 02 127 A 1

Beschreibung

Die Erfindung betrifft ein Testverfahren zum Testen eines Datenspeichers, der einen Hauptdatenspeicher und einen Redundanz-Datenspeicher aufweist.

Der zunehmende Speicherbedarf von Programmanwendungen führt dazu, daß Datenspeicher mit immer höheren Speicherkapazitäten hergestellt werden. Halbleiterspeicher bestehen aus einer Vielzahl von adressierbaren Datenspeichereinheiten. Mit zunehmendem Integrationsgrad und mit zunehmender Größe der Speichergröße steigt die Wahrscheinlichkeit, daß im Herstellungsprozeß des Halbleiterspeichers fehlerhafte Datenspeichereinheiten auftreten. Damit der vereinzelte Ausfall von Datenspeichereinheiten innerhalb des Halbleiterspeichers dessen Funktionalität nicht beeinträchtigt, werden zunehmend redundante Speicherkonzepte eingesetzt. Dabei weist der Halbleiterspeicher neben dem Hauptdatenspeicher einen redundanten Speicherbereich mit mehreren redundanten Datenspeichereinheiten auf, die im Falle eines Ausfalls von Datenspeichereinheiten innerhalb des Hauptdatenspeichers aufgrund eines Herstellungsfehlers diese ersetzen. Die fehlerhaften Datenspeichereinheiten innerhalb des Hauptdatenspeichers werden nach Beendigung des Herstellungsprozesses in einem Testvorgang ermittelt. Dazu werden Testdatenmuster an den hergestellten Halbleiterspeicher angelegt und Testdatenmuster aus dem Halbleiterspeicher ausgelesen. Durch Vergleich der ausgelesenen Testdatenmuster mit erwarteten Soll-Datenmustern werden die Adressen der fehlerhaften Datenspeichereinheiten innerhalb des hergestellten Halbleiterspeichers ermittelt. Nach Beendigung des Testverfahrens werden die Adressen der fehlerhaften Datenspeichereinheiten innerhalb des Hauptdatenspeichers zur Umadressierung der redundanten Datenspeichereinheiten innerhalb des redundanten Speichers verwendet. Bei einem Datenzugriff auf eine Adresse einer fehlerhaften Datenspeichereinheit innerhalb des Hauptdatenspeichers wird anstatt auf die fehlerhafte Datenspeichereinheit auf die redundante Datenspeichereinheit innerhalb des Redundanz-Datenspeichers zugegriffen. Die redundante Datenspeichereinheit stellt somit eine Ersatz-Datenspeichereinheit für die fehlerhafte Datenspeichereinheit innerhalb des Hauptdatenspeichers dar.

Bei herkömmlichen Testvorgängen zur Ermittlung fehlerhafter Datenspeichereinheiten innerhalb des Hauptdatenspeichers werden zunächst alle Adressen von fehlerhaften Datenspeichereinheiten innerhalb des Hauptdatenspeichers ermittelt und anschließend der Hauptdatenspeicher durch Umadressierung der fehlerhaften Datenspeichereinheiten auf die redundanten Datenspeichereinheiten innerhalb des Redundanz-Datenspeichers "repariert". Das Erkennen von fehlerhaften Datenspeichereinheiten innerhalb des Hauptdatenspeichers durch Anlegen und Auslesen von Testmustern und die Umadressierung auf redundante Datenspeichereinheiten erfolgt sequentiell in zwei Stufen.

Der Nachteil bei derartigen herkömmlichen Testverfahren besteht darin, daß durch die zweistufige Vorgehensweise der Testvorgang viel Zeit benötigt, wodurch hohe Kosten entstehen. Erst wenn die Fehlererkennung vollständig beendet ist und somit die Adressen der fehlerhaften Datenspeichereinheiten vollständig vorliegen, erfolgt die ebenfalls zeitintensive Umadressierung auf die redundanten Datenspeichereinheiten.

Ein weiterer Nachteil der herkömmlichen Testverfahren besteht darin, daß während der ersten Stufe des Testverfahrens, d. h. bei der Fehlererkennung von fehlerhaften Datenspeichereinheiten innerhalb des Hauptdatenspeichers die bisher erkannten fehlerhaften Datenspeichereinheiten noch nicht umadressiert sind und somit die anliegenden Testda-

tenmuster weiterhin verfälschen. Hierdurch wird die Fehlererkennung von weiteren fehlerhaften Speichereinheiten erheblich erschwert, da die Adressen von als fehlerhaft erkannten Datenspeichereinheiten beim Auffinden von weiteren fehlerhaften Datenspeichereinheiten beim Vergleich der Testdatenausgabemuster mit den erwarteten Soll-Testausgabemustern berücksichtigt werden muß. Die Testmustersauswertung wird hierdurch erheblich schwieriger, und der Fehlererkennungsvorgang dauert bei Auftreten mehrerer fehlerhafter Datenspeichereinheiten innerhalb des Hauptdatenspeichers relativ lange.

Es ist daher die Aufgabe der vorliegenden Erfindung, einen Datenspeicher und ein Testverfahren zum Testen des Datenspeichers zu schaffen, das besonders schnell und sicher ist.

Diese Aufgabe wird erfindungsgemäß durch ein Testverfahren mit den in Patentanspruch 1 sowie einen Datenspeicher mit den im Patentanspruch 15 angegebenen Merkmalen gelöst.

Der erfindungsgemäße Datenspeicher bietet den Vorteil, dass die darin enthaltene Redundanz-Logik während des Testvorgangs programmierbar ist, wobei die Testdauer nicht zunimmt.

Die Erfindung schafft ein Testverfahren zum Testen eines Datenspeichers, der einen Hauptdatenspeicher mit einer Vielzahl von Datenspeichereinheiten aufweist, bei dem die folgenden Schritte für alle Datenspeichereinheiten durchgeführt werden:

- (a) Adressieren einer Datenspeichereinheit durch Anlegen der nächsten zu testenden Adresse der Datenspeichereinheit an einen mit dem Hauptdatenspeicher verbundenen Adreßbus,
- (b) Anlegen von Eingabetestdaten zum Testen der adressierten Datenspeichereinheiten an einen mit dem Hauptdatenspeicher verbundenen Datenbus,
- (c) Auslesen von Ausgabetestdaten aus der adressierten Datenspeichereinheit,
- (d) Vergleichen der Ausgabetestdaten mit erwarteten Soll-Ausgabetestdaten,
- (e) Einschreiben der angelegten Adresse in eine Adressenspeichereinheit eines Adressenspeichers zum Abspeichern von Adressen fehlerhafter Datenspeichereinheiten und der erwarteten Soll-Ausgabetestdaten in eine zugeordnete Redundanz-Datenspeichereinheit eines Redundanz-Datenspeichers, wenn die Ausgabetestdaten und die erwarteten Soll-Ausgabetestdaten nicht übereinstimmen.

Die dem erfindungsgemäßen Testverfahren zugrundeliegende Idee besteht darin, eine während des Testvorgangs erkannte fehlerhafte Adresse einer Datenspeichereinheit innerhalb des Hauptdatenspeichers sofort zur Umadressierung auf eine zugeordneten Redundanz-Speichereinheit innerhalb eines Redundanz-Datenspeichers zu verwenden. Die Fehlererkennung und die Umadressierung erfolgt somit bei dem erfindungsgemäßen Testverfahren einstufig.

Ein Hauptvorteil des erfindungsgemäßen Testverfahrens besteht darin, dass das sofortige "Reparieren" die Fehlerorte nicht für das weitere Testverfahren gemerkt und berücksichtigt werden müssen. Hierdurch wird das Datenvolumen für die Testauswertung minimiert.

Das erfindungsgemäße Testverfahren bietet darüber hinaus den Vorteil, daß jede als fehlerhaft erkannte Adresse sofort umadressiert wird und somit für den weiteren Testvorgang bereits zur Verfügung steht.

Ein besonderer Vorteil des erfindungsgemäßen Testverfahrens besteht darin, daß in die umadressierte Redundanz-

Datenspeicher sofort die erwarteten Soll-Ausgabetestdaten eingeschrieben werden, so daß aus der Sicht des Testprogramms der sofort "reparierte" Datenspeicher für den weiteren Testvorgang wie ein fehlerfreier Datenspeicher behandelt werden kann.

Ein weiterer Vorteil des erfindungsgemäßen Testverfahrens besteht darin, daß aufgrund des sofortigen "Reparierens" einer als fehlerhaft erkannten Datenspeichereinheit der Testvorgang besonders sicher gegenüber Testfehlern ist.

Weitere vorteilhafte Ausgestaltungen des erfindungsgemäßen Testverfahrens sind in den Unteransprüchen angegeben.

Bei einer besonders bevorzugten Ausführungsform wird vor dem Einschreiben der angelegten Adresse in die Adressenspeichereinheit überprüft, ob noch eine Adressenspeichereinheit innerhalb des Adressenspeichers frei bzw. nicht belegt ist.

Vorzugsweise wird ein Defekt-Anzeigesignal zur Anzeige eines defekten Datenspeichers ausgegeben, wenn alle Adressenspeichereinheiten des Adressenspeichers bereits mit Adressen von fehlerhaften Datenspeichereinheiten belegt sind.

Vor dem Adressieren der Datenspeichereinheiten und dem Anlegen von Eingabetestdaten werden in einem Initialisierungsschritt vorzugsweise die Adressenspeichereinheiten initialisiert.

Bei einer weiteren bevorzugten Ausführungsform des erfindungsgemäßen Testverfahrens werden Adressen von Datenspeichereinheiten, die bereits vor der Durchführung des Testverfahrens als fehlerhaft erkannt wurden, in die Adressenspeichereinheiten des Adressenspeichers geladen.

Testrandbedingungen sind verschiedenen Versorgungsspannungen, Temperaturen oder sonstige äußere Einflüsse auf den zu testenden Speicher.

Dies bietet den besonderen Vorteil, daß bereits bestehende Testergebnisse von vorangehenden Testverfahren zur Beschleunigung des Testverfahrens benutzt werden können. Die vorangehenden Testverfahren können dabei auch unter anderen Testrandbedingungen durchgeführt worden sein.

Das Testverfahren läuft vorzugsweise gesteuert durch eine Steuerlogik ab, die in dem zu testenden Datenspeicher integriert ist.

Dies bietet den besonderen Vorteil, daß kein externes Testgerät zum Testen des Datenspeichers benötigt wird.

Bei einer weiteren vorteilhaften Ausgestaltung des erfindungsgemäßen Testverfahrens werden in der Steuerlogik die anzulegenden Adressen und die Eingabetestdaten generiert.

Das Einschreiben der Adressen der fehlerhaften Datenspeichereinheiten in die Adressenspeichereinheiten des Adressenspeichers und das Einschreiben der erwarteten Soll-Ausgabetestdaten in die Redundanz-Speichereinheiten des Redundanz-Datenspeichers erfolgt bei einer bevorzugten Ausführungsform parallel in einem Taktzyklus.

Bei einer alternativen Ausführungsform erfolgt das Einschreiben der Adressen der fehlerhaften Datenspeichereinheiten in die Adressenspeichereinheiten des Adressenspeichers und das Einschreiben der erwarteten Soll-Ausgabetestdaten in die Redundanz-Speichereinheiten des Redundanz-Datenspeichers seriell über eine Schieberegisterkette.

Diese alternative Ausführungsform hat den Vorteil, daß durch das serielle Laden keine breiten Testdatenbusse benötigt werden.

Bei einer weiteren bevorzugten Ausführungsform des erfindungsgemäßen Testverfahrens werden die angelegten Adressen direkt in einen nicht löschbaren Festwertspeicher eingeschrieben, wenn die Ausgabetestdaten und die erwarteten Soll-Ausgabetestdaten nicht übereinstimmen.

Ein weiterer Vorteil des erfindungsgemäßen Testverfahrens

besteht darin, daß die Testlogik und die Redundanzlogik sofort auf Fehler überprüft werden.

Im weiteren werden bevorzugte Ausführungsformen des erfindungsgemäßen Testverfahrens unter Bezugnahme auf die beigefügten Figuren zur Erläuterung erfindungswesentlicher Merkmale beschrieben.

Es zeigen:

Fig. 1 ein Blockschaltbild eines Datenspeichers mit eingebauter Testlogik und einem Redundanz-Datenspeicher zur Erläuterung des erfindungsgemäßen Testverfahrens;

Fig. 2 ein Ablaufdiagramm einer bevorzugten Ausführungsform des erfindungsgemäßen Testverfahrens zum Testen eines Datenspeichers.

Fig. 1 zeigt ein Blockschaltbild eines testbaren Datenspeichers mit einem Hauptdatenspeicher 2, einer eingebauten oder externen Testschaltung 3 und einer Redundanz-Logik 4, die einen integrierten Redundanz-Adressenspeicher 5 und einen integrierten Redundanz-Datenspeicher 6 aufweist. Der Redundanz-Adressenspeicher 5 enthält mehrere Redundanz-Adressenspeichereinheiten 5-1, 5-2 bis 5-n. Jeder Redundanz-Adressenspeichereinheit 5-i ist ein Flagbit 7-i zur Adreßmaskierung zugeordnet. Jede Adressenspeichereinheit 5-i in dem Redundanz-Adressenspeicher 5 ist eine Redundanz-Datenspeichereinheit 6-i des Redundanz-Datenspeichers 6 zugeordnet. Die Adressenspeichereinheiten 5-i des Redundanz-Adressenspeichers 5 sind seriell miteinander verknüpft, so daß Adressen getaktet in den Redundanz-Adressenspeicher 5 eingeschoben werden können. Die Redundanz-Datenspeichereinheiten 6-i des Redundanz-Datenspeichers 6 sind ebenfalls seriell miteinander verknüpft, so daß Daten getaktet in den Redundanz-Datenspeicher 6 eingeschrieben werden können. Jede Redundanz-Datenspeichereinheit 6-i ist über eine Datenausleseleitung 8-i mit einem Eingang eines Datenmultiplexers 9 verbunden. Der Daten-Auslesemultiplexer 9 wird über eine Steuerleitung 10 durch eine Adressenvergleichsschaltung 11 gesteuert. Über weitere Datenleitungen 12 ist der Daten-Auslesemultiplexer 9 mit dem Hauptdatenspeicher 2 verbunden. Die Adressenvergleichsschaltung 11 vergleicht die an einem Adressenbus anliegende Adresse mit den im Redundanz-Adressenspeicher 5 abgespeicherten Adressen. Stimmt die anliegende Adresse mit einer in einer Adressenspeichereinheit 5-i abgespeicherten Adresse überein, wird der Multiplexer 9 derart angesteuert, daß die zugeordnete Redundanz-Datenspeichereinheit 6-i über die Datenleitung 8-i auf eine Datenausgabedatenleitung 13 durchgeschaltet wird. Die Datenausgabedatenleitung 13 ist mit dem Datenbus verbunden. Stimmt umgekehrt die an dem Adressenbus anliegende Adresse mit keiner der in dem Redundanz-Adressenspeicher 5 abgespeicherten Adressen überein, wird der Multiplexer 9 durch die Adressenvergleichsschaltung 11 derart angesteuert, daß die Datenleitung 12 an die Datenausleseleitung 13 geschaltet wird.

Die an dem Datenspeicher 1 angeschlossene Testlogik 3 enthält einen Adressengenerator 14 und einen Testdatengenerator 15. Der Adressengenerator 14 ist über Adressenleitungen 16 mit dem Hauptdatenspeicher 2 verbunden. Der Testdatengenerator 15 liegt über Datenleitungen 17 an dem Hauptdatenspeicher 2 an. Die Testlogik 3 weist ferner ein Adressenregister 18 und ein Datenregister 19 auf. In dem Adressenregister 19 werden die zu einer bestimmten Adresse, welche in dem Adreßregister 18 zwischengespeichert ist, zugehörigen Soll-Ausgabetestdaten 19 zwischengespeichert.

Die Testlogik 3 enthält eine Datenvergleichsschaltung 20, welche die in dem Datenregister 19 zwischengespeicherten Soll-Ausgabetestdaten mit den aus dem Hauptdatenspeicher 2 ausgelesenen Ausgabetestdaten vergleicht. Hierzu ist die

Testdaten-Vergleichsschaltung 20 über Datenleitungen 21 mit dem Soll-Ausgabetestdatenregister 19 und über Datenleitungen 22 mit dem Hauptdatenspeicher 2 verbunden. Die Testdaten-Vergleichsschaltung 20 ist vorzugsweise eine EXOR-Schaltung.

Die Testdaten-Vergleichsschaltung 20 ist ausgangsseitig über eine Leitung 23 mit einem Flagbit-Speicher 7-0 verbunden, welcher das Auftreten einer fehlerhaften Datenspeichereinheit innerhalb des Hauptdatenspeichers 2 anzeigt. Falls die Testdaten-Vergleichsschaltung 20 das Auftreten einer fehlerhaften Datenspeichereinheit innerhalb des Hauptdatenspeichers 2 aufgrund von Ausgabetestdaten erkennt, die von den im Datenregister 19 zwischengespeicherten Soll-Ausgabetestdaten abweichen, wird die in dem Adressenregister 18 zwischengespeicherte Adresse der als fehlerhaft erkannten Datenspeichereinheit über Adressenleitungen 24 in dem Redundanz-Adressenspeicher 5 der Redundanz-Logik 4 eingeschoben, und gleichzeitig werden die in dem Datenregister 19 befindlichen Soll-Ausgabetestdaten in den Redundanz-Datenspeicher 6 über Datenleitungen 25 eingeschrieben. Bei jeder als fehlerhaft erkannten Datenspeichereinheit innerhalb des Hauptdatenspeichers 2 wird die entsprechende Adresse und die zugehörigen erwarteten Soll-Ausgabetestdaten parallel in den Redundanz-Adressenspeicher 5 und in den Redundanz-Datenspeicher 6 eingeschoben. Hierzu werden der Redundanz-Adressenspeicher 5 und der Redundanz-Datenspeicher 6 über Taktleitungen mit einem Synchronisierungstaktsignal versorgt.

Bei einer alternativen Ausführungsform erfolgt das Einschreiben der Adressen der fehlerhaften Datenspeichereinheiten und das Einschreiben der erwarteten Soll-Ausgabetestdaten nicht parallel in den Redundanz-Adressenspeicher 5 und den Redundanz-Datenspeicher 6, sondern sie werden seriell blockweise getaktet eingeschoben. Hierzu werden das Flagbit-Register 7-i, die zugehörige Adressenspeichereinheit 5-i und die Redundanz-Datenspeichereinheit 6-i über Schalter seriell zu einem Datenblock zusammengeschaltet, der zusätzlich mit dem jeweils vorangehenden Datenblock $7-(i-1)$, $5-(i-1)$, $6-(i-1)$, ... sowie dem nachgeordneten Datenblöcken $7-(i+1)$, $5-(i+1)$, $6-(i+1)$, ... zusammengeschaltet wird. Ferner wird der erste Datenblock innerhalb der Redundanz-Logik 4 mit dem Adressenregister 18 und dem Testdatenregister 19 seriell verbunden. Der letzte Datenblock wird ausgangsseitig an einen Eingang des Auslesemultiplexers 9 angeschlossen.

Enthält der zu testende Hauptdatenspeicher 2 eine Vielzahl an fehlerhaften Datenspeichereinheiten, ist der Redundanz-Adressenspeicher 5 sowie der Redundanz-Datenspeicher 6 nach Auftreten von n fehlerhaften Datenspeichereinheiten innerhalb des Hauptdatenspeichers 2 gefüllt und das entsprechende Bit 7-n wird gesetzt. Wird das im Flagbit-Register 7-n gesetzte Bit nach Auftreten eines weiteren Fehlers in dem Hauptdatenspeicher hinausgeschoben, zeigt dies an, daß der Hauptdatenspeicher 2 durch Umadressierung nicht mehr repariert werden kann, da nicht genügend redundanter Speicherraum innerhalb des Redundanz-Speichers 6 vorhanden ist. Das aus dem Flagbit-Register 7-n hinausgeschobene Flagbit stellt ein Defekt-Anzeigesignal dar, das über eine Defekt-Anzeigesignalleitung 26 einen defekten Datenspeicher anzeigt.

Fig. 2 zeigt ein Ablaufdiagramm einer bevorzugten Ausführungsform des erfindungsgemäßen Testverfahrens zum Testen des Datenspeichers.

Im Schritt S0 wird das erfindungsgemäße Testverfahren gestartet. In Schritt S1 erfolgt eine Initialisierung, bei dem die Adressenspeichereinheit in dem Redundanz-Adressenspeicher 5 initialisiert bzw. zurückgesetzt werden.

In einem Schritt S2 werden gegebenenfalls vor Durchfüh-

rung des eigentlichen Testvorgangs bereits in vorangegangenen Testschritten Adressen von bereits als fehlerhaft erkannten Datenspeichereinheiten in Adressenspeichereinheiten des Redundanz-Adressenspeichers 5 von außen geladen.

Der Schritt S2 ist optional und wird nur durchgeführt, wenn bereits Testdaten vorliegen.

In einem Schritt S3 wird eine Datenspeichereinheit innerhalb des Hauptdatenspeichers 2 durch Anlegen in dem Adressengenerator 14 generierten Adresse an einen Adressenbus adressiert, der mit dem Hauptdatenspeicher 2 verbunden ist. Gleichzeitig werden Eingabetestdaten zum Testen der in dem Hauptdatenspeicher 2 adressierten Datenspeichereinheit an einen mit dem Hauptdatenspeicher 2 verbundenen Datenbus angelegt, wobei die Eingabetestdaten durch den Testdatengenerator 15 der Selbsttestlogik 3 erzeugt werden.

In einem Schritt S4 werden Ausgabetestdaten aus der adressierten Datenspeichereinheit des Hauptdatenspeichers 2 über die Datenleitungen 22 ausgelesen und durch die Testdaten-Vergleichsschaltung 20 die ausgelesenen Ausgabetestdaten mit erwarteten Soll-Ausgabetestdaten verglichen, die in dem Datenregister 19 zwischengespeichert sind.

Stimmen die Ausgabetestdaten mit den Soll-Ausgabetestdaten überein, geht der Testvorgang zu Schritt S5 über, bei dem überprüft wird, ob der Testvorgang abgeschlossen ist, d. h. alle in dem Hauptdatenspeicher 2 vorhandenen Adressen bereits adressiert worden sind. Falls der Testvorgang noch nicht zu Ende ist, geht der Testvorgang im Schritt S6 zur nächsten Adresse über.

Falls im Schritt S4 festgestellt wird, daß die Ausgabetestdaten nicht mit den erwarteten Soll-Ausgabetestdaten im Datenregister 19 übereinstimmen, wird im Schritt S7 zunächst überprüft, ob noch freie Adressenspeichereinheiten 5-i in der Redundanz-Adressenspeichereinheit 5 vorhanden sind.

Falls keine freien Adressenspeichereinheiten 5-i in dem Redundanz-Adressenspeicher 5 der Redundanz-Logik 4 vorhanden sind, sind in dem Hauptdatenspeicher 2 eine derartig hohe Anzahl an Defekten der Datenspeichereinheiten während des Herstellungsvorgangs hergestellt worden, daß der redundante Datenspeicher 6 nicht ausreicht. Der so getestete Hauptdatenspeicher 2 kann in diesem Falle durch Umadressierung nicht mehr repariert werden. Im Schritt S9 wird angezeigt, daß der Datenspeicher 1 defekt ist. Hierzu wird über die Leitung 26 ein Defekt-Anzeigesignal abgegeben. Im Schritt S10 erfolgt gegebenenfalls die Programmierung des Festwertspeichers 30. Anschließend wird der Testvorgang beendet.

Falls im Schritt S7 festgestellt wird, daß noch freier Speicherraum in dem Redundanz-Datenspeicher 6 zur Umadressierung vorhanden ist, wird im Schritt S8 die angelegte Adresse in den Redundanz-Adressenspeicher 5 über die Adressenleitungen 24 synchron getaktet eingeschoben und gleichzeitig die zugehörigen erwarteten Soll-Ausgabetestdaten über die Datenleitungen 25 in den Redundanz-Datenspeicher 6 synchron getaktet eingeschoben. Der Adressenspeicher 5 und der Datenspeicher 6 sowie die Flag-Flip-Flops 7 sind vorzugsweise derart aufgebaut, dass bereits abgespeicherte Inhalte zur nächsten Speichereinheit weitergeschoben werden, wenn eine neue Adresse bzw. Datum von der Testlogik 3 eingeschoben wird. Das Einschreiben der Adresse und der Soll-Testdaten erfolgt bei dieser bevorzugten Ausführungsform des Testverfahrens parallel.

Alternativ dazu können die Adressen der fehlerhaften Datenspeichereinheiten und die erwarteten Soll-Ausgabetestdaten über einen seriellen Testdatenpfad seriell in den Redundanz-Adressenspeicher 5 und den Redundanz-Datenspeicher 6 eingeschrieben werden.

Das erfindungsgemäße Testverfahren wird vorzugsweise durch eine in dem Datenspeicher integrierte Selbsttestlogik 3 gesteuert. Alternativ dazu kann das erfindungsgemäße Testverfahren durch einen externen Testautomaten gesteuert ablaufen.

Die während des Testvorgangs aufgefundenen Adressen von fehlerhaften Datenspeichereinheiten innerhalb des Hauptdatenspeichers werden bei einer bevorzugten Ausführungsform in einen programmierbaren Adressenfestwertspeicher geladen, der nicht mehr gelöscht werden kann.

Bei einer alternativen Ausführungsform ist der Redundanz-Adressenspeicher 5 überschreibbar.

Wie man aus dem in Fig. 2 dargestellten Ablaufdiagramm erkennen kann, wird im Schritt S8 jede erkannte fehlerhafte Datenspeichereinheit sofort umadressiert und gleichzeitig die Ersatz-Redundanz-Datenspeichereinheit innerhalb des Redundanz-Datenspeichers 6 mit den Soll-Ausgabetestdaten beschrieben. Die defekte Datenspeichereinheit innerhalb des Hauptdatenspeichers 2 wird somit sofort repariert. Dies hat zur Folge, daß aus der Sicht des Testprogramms sich der Datenspeicher wie ein vollkommen fehlerfreier Datenspeicher verhält und bereits als fehlerhaft erkannte Datenspeichereinheiten für das weitere Testprogramm nicht berücksichtigt werden müssen. Hierdurch wird der weitere Testvorgang erheblich erleichtert und beschleunigt.

Bezugszeichenliste

| | |
|--------------------------------|----|
| 1 Datenspeicher | |
| 2 Hauptdatenspeicher | 30 |
| 3 Selbsttestlogik | |
| 4 Redundanz-Logik | |
| 5 Redundanz-Adressenspeicher | |
| 6 Redundanz-Datenspeicher | |
| 7 Flag-Flipflops | 35 |
| 8 Leitungen | |
| 9 Multiplexer | |
| 10 Steuerleitung | |
| 11 Adressenvergleichsschaltung | |
| 12 Datenleitung | 40 |
| 13 Datenleitungen | |
| 14 Adressengenerator | |
| 15 Testdatengenerator | |
| 16 Adressenleitungen | |
| 17 Datenleitungen | 45 |
| 18 Adressenregister | |
| 19 Datenregister | |
| 20 Vergleichsschaltung | |
| 21 Datenleitungen | 50 |
| 22 Datenleitungen | |
| 23 Leitung | |
| 24 Adressenleitungen | |
| 25 Datenleitungen | |
| 26 Defekt-Anzeigeleitung | |
| 27 Steuerleitung | 55 |
| 28 Steuerung | |
| 29 Steuerleitungen | |
| 30 Festwertspeicher | |
| 31 Leitungen | 60 |
| 32, 33 Anzeigeleitung | |

Patentansprüche

1. Testverfahren zum Testen eines Datenspeichers, der einen Hauptdatenspeicher (2) mit einer Vielzahl von Datenspeichereinheiten aufweist, bei dem die folgenden Schritte für alle Datenspeichereinheiten durchgeführt werden:

(a) Adressieren (53) einer Datenspeichereinheit durch Anlegen der Adresse der Datenspeichereinheit an einen mit dem Hauptdatenspeicher (2) verbundenen Adreßbus;

(b) Anlegen (53) von Eingabetestdaten zum Testen der adressierten Datenspeichereinheit an einen mit dem Hauptdatenspeicher (2) verbundenen Datenbus;

(c) Auslesen (54) von Ausgabetestdaten aus der adressierten Datenspeichereinheit;

(d) Vergleichen (54) der Ausgabetestdaten mit erwarteten Soll-Ausgabetestdaten;

(e) Einschreiben (58) der angelegten Adresse in eine Adressenspeichereinheit eines Adressenspeichers (5) und der erwarteten Soll-Ausgabetestdaten in eine zugeordnete Redundanz-Datenspeichereinheit eines Redundanz-Datenspeichers (6), wenn die Ausgabetestdaten und die erwarteten Soll-Ausgabetestdaten nicht übereinstimmen.

2. Testverfahren nach Anspruch 1, dadurch gekennzeichnet, daß vor dem Einschreiben der angelegten Adresse in eine Adressenspeichereinheit überprüft wird (S7), ob noch eine Adressenspeichereinheit in dem Redundanz-Adressenspeicher (5) nicht belegt ist.

3. Testverfahren nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß ein Defekt-Anzeigesignal zur Anzeige eines defekten Datenspeichers abgegeben wird (S9), wenn alle Adressenspeichereinheiten des Redundanz-Adressenspeichers (5) bereits mit Adressen von fehlerhaften Datenspeichereinheiten belegt sind.

4. Testverfahren nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, daß vor dem Adressieren der Datenspeichereinheiten und dem Anlegen von Eingabetestdaten in einem Initialisierungsschritt (S1) die Adressenspeichereinheiten initialisiert werden.

5. Testverfahren nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, daß Adressen von Datenspeichereinheiten, die bereits als fehlerhaft erkannt wurden, in die Adressenspeichereinheiten des Redundanz-Adressenspeichers (5) nach dem Initialisierungsschritt geladen werden (S2.)

6. Testverfahren nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, daß die Adressen aus einem programmierten Adressen-Festwertspeicher geladen werden (S2).

7. Testverfahren nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, daß das Testverfahren durch eine Steuerlogik (3) gesteuert abläuft, die in dem Datenspeicher integriert ist.

8. Testverfahren nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, daß in der Steuerlogik (3) die anzulegenden Adressen durch einen Adressengenerator (14) und die Eingabetestdaten durch einen Testdatengenerator (15) generiert werden.

9. Testverfahren nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, daß das Einschreiben der Adressen der fehlerhaften Datenspeichereinheiten in die Adressenspeichereinheiten des Redundanz-Adressenspeichers (5) und das Einschreiben der erwarteten Soll-Ausgabetestdaten in die Redundanz-Speichereinheiten des Redundanz-Datenspeichers (6) direkt über parallele Leitungen (24, 25) erfolgt, wenn die Ausgabetestdaten und die erwarteten Soll-Ausgabetestdaten nicht übereinstimmen.

10. Testverfahren nach einem der vorangehenden Ansprüche 1 bis 8, dadurch gekennzeichnet, daß das Einschreiben der Adressen der fehlerhaften Datenspei-

chereinheiten in die Adressenspeichereinheiten des Redundanz-Adressenspeichers (5) und das Einschreiben der erwarteten Soll-Ausgabetestdaten in die Redundanz-Speichereinheiten des Redundanz-Datenspeichers (6) seriell über eine Schieberegisterkette erfolgt, wobei das serielle Einschreiben über einen seriellen Prüfpfad direkt durchgeführt wird, wenn die Ausgabetestdaten und die erwarteten Soll-Ausgabetestdaten nicht übereinstimmen. 5

11. Testverfahren nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, daß die angelegten Adressen direkt in einen nicht-flüchtigen Festwertspeicher 30 eingeschrieben werden, wenn die Ausgabetestdaten und die erwarteten Soll-Ausgabetestdaten nicht übereinstimmen. 10 15

12. Testverfahren nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, dass die angelegten Adressen in den nicht-flüchtigen Festwertspeicher (30) eingeschrieben werden, wenn der Redundanz-Datenspeicher (6) ausreichend groß ist, um die fehlerhaften Datenspeichereinheiten innerhalb des Hauptdatenspeichers (2) zu ersetzen. 20

13. Testverfahren nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, dass der Haupt-Datenspeicher (2) ein flüchtiger oder ein nicht-flüchtiger Datenspeicher ist. 25

14. Testverfahren nach Anspruch 13, dadurch gekennzeichnet, dass beim Testen eines nicht-flüchtigen Haupt-Datenspeichers (2) die Soll-Ausgabetestdaten, die in dem Redundanz-Datenspeicher (6) abgespeichert sind, in dem nicht-flüchtigen Festwertspeicher abgespeichert werden. 30

15. Datenspeicher mit einer Redundanz-Logik (4), die einen Redundanz-Adressen-Speicher (5) und einen Redundanz-Datenspeicher (6) aufweist, wobei der Redundanz-Adressen-Speicher (5) und/oder der Redundanz-Datenspeicher (6) an eine Testlogik (3) zum Testen des Datenspeichers anschließbar ist. 35

Hierzu 2 Seite(n) Zeichnungen

40

45

50

55

60

65

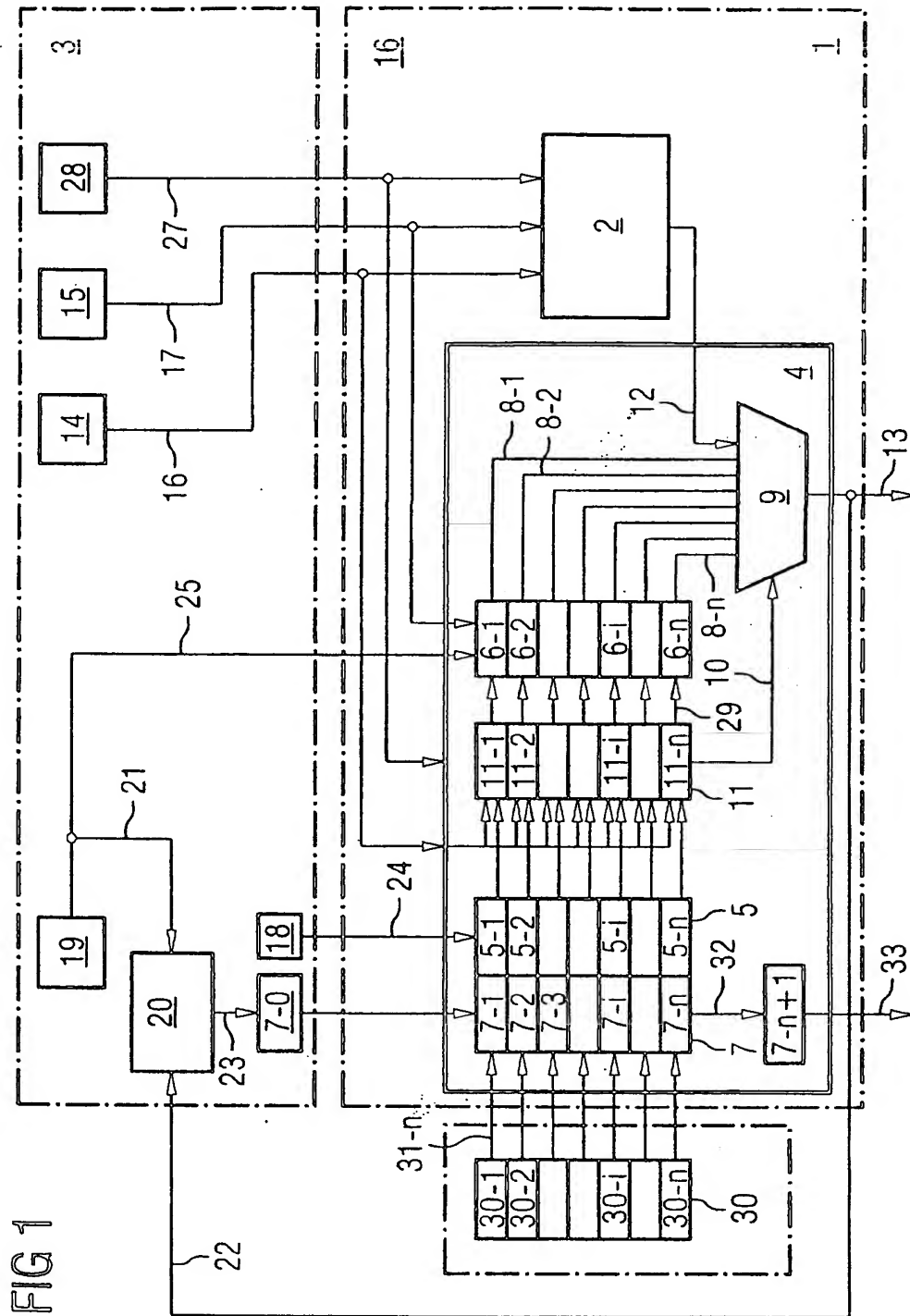


FIG 1

FIG 2

